


METHOD AND APPARATUS FOR MANUFACTURING POWER SEMICONDUCTOR DEVICE

Patent number: JP2002237588
Publication date: 2002-08-23
Inventor: IMADA HIDEKI
Applicant: TOSHIBA CORP
Classification:
 - international: H01L29/744; H01L21/027
 - european:
Application number: JP20010031769 20010208
Priority number(s):

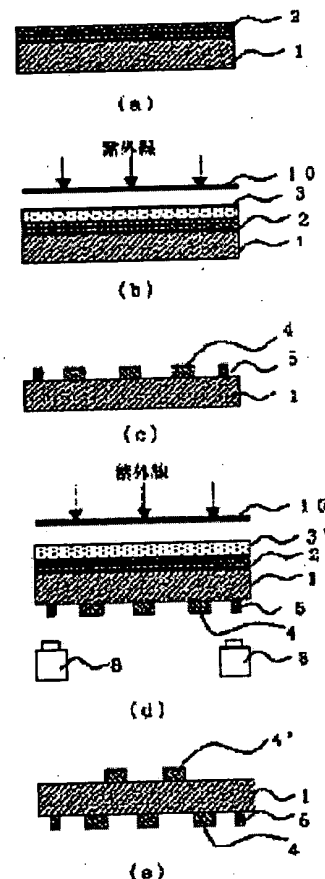
Also published as:

 JP2002237588 (A)

Abstract of JP2002237588

PROBLEM TO BE SOLVED: To provide a method and an apparatus for manufacturing power semiconductor device, with which reduction of the number of steps for patterning both sides of a semiconductor substrate can be realized and cost reduction is realized.

SOLUTION: The method comprises the steps of applying a resist on the front surface of the semiconductor substrate, holding the substrate at a prescribed position, aligning a first mask on the front surface of the substrate, exposing the front surface with the first mask and a projection lens, developing this to form a pattern and targets on the front surface, applying a resist on the rear surface of the semiconductor substrate, holding the substrate at a prescribed position, aligning a second mask on the rear surface by using the targets, exposing the rear surface by using the second mask and the projection lens, and developing the substrate to form a pattern on the rear surface.



Data supplied from the esp@cenet database - Worldwide

BEST AVAILABLE COPY

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2002-237588
(P2002-237588A)

(43)公開日 平成14年8月23日(2002.8.23)

(51)Int.Cl. ⁷	識別記号	F I	テームコード*(参考)
H 0 1 L 29/744		H 0 1 L 29/74	C 5 F 0 0 5
21/027		21/30	5 1 4 B 5 F 0 4 6
			5 2 1

審査請求 未請求 請求項の数2 O L (全 4 頁)

(21)出願番号 特願2001-31769(P2001-31769)

(22)出願日 平成13年2月8日(2001.2.8)

(71)出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72)発明者 今田 英樹

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(74)代理人 100081732

弁理士 大胡 典夫 (外2名)

Fターム(参考) 5F005 AH04

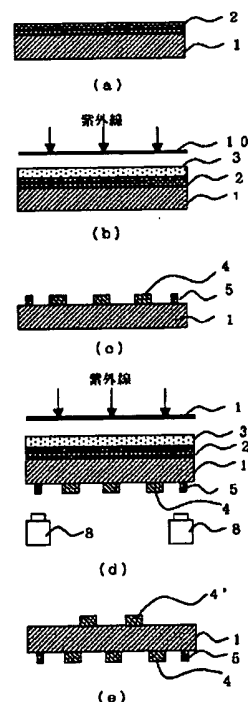
5F046 AA15 BA03 EA22 EB01 FC09

(54)【発明の名称】 パワー半導体装置の製造方法及び製造装置

(57)【要約】

【課題】 半導体基板両面のパターンニングを行なう際の工程数を削減し、コストダウンを図ることが可能となるパワー半導体装置の製造方法及びパワー半導体装置の製造装置を提供すること。

【解決手段】 半導体基板表面にレジストを塗布する工程と、この半導体基板を所定位置に保持する工程と、前記半導体基板表面において第1のマスクの位置合わせを行なう工程と、第1のマスクと投影レンズとを介して、前記半導体基板表面を露光する工程と、これを現像して前記半導体基板表面にパターンとターゲットを形成する工程と、半導体基板裏面にレジストを塗布する工程と、この半導体基板を所定位置に保持する工程と、前記ターゲットを用いて、前記半導体基板裏面において第2のマスクの位置合わせを行なう工程と、この第2のマスクと投影レンズとを介して前記半導体基板裏面を露光する工程と、これを現像して半導体基板裏面にパターンを形成する工程とを具備する。



【特許請求の範囲】

【請求項1】 半導体基板表面にレジストを塗布する工程と、前記半導体基板を所定位置に保持する工程と、前記半導体基板表面において第1のマスクの位置合わせを行なう工程と、第1のマスクと投影レンズとを介して、前記半導体基板表面を露光する工程と、この露光された半導体基板表面を現像して前記半導体基板表面にパターンとターゲットを形成する工程と、前記半導体基板裏面にレジストを塗布する工程と、この半導体基板を裏返した状態で所定位置に保持する工程と、前記ターゲットを用いて、前記半導体基板裏面において第2のマスクの位置合わせを行う工程と、この第2のマスクと投影レンズとを介して前記半導体基板裏面を露光する工程と、この露光された半導体基板裏面を現像して前記半導体基板裏面にパターンを形成する工程とを具備することを特徴とするパワー半導体装置の製造方法。

【請求項2】 半導体基板の裏面側に配置された素子パターンを転写するためのマスクと、同じく前記半導体基板の裏面側に配置された投影レンズと、前記半導体基板の表面に形成されたターゲットをモニターするために前記半導体基板の表面側に配置されたモニター手段と、このモニター手段により前記半導体基板裏面のマスク合わせを行う手段と、前記マスクと前記投影レンズを介して前記半導体基板裏面を露光する手段とを具備することを特徴とするパワー半導体装置の製造装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、パワー半導体装置の製造方法に係り、特に半導体基板の両面にパターンを形成する方法に関する。

【0002】

【従来の技術】 大電流の制御に用いられているGTO (Gate Turn-Off Thyristor) 等のパワー半導体は、例えば6インチの半導体基板両面にパターンが形成され、1チップが構成されている。

【0003】 このような両面パターンを形成する際、図3(a)に示すように、先ずウエーハ1表面に形成された酸化膜2'上にレジスト3'を塗布し、これをベークした後、さらに裏面にも同様に塗布する。これをオープンベークした後、図3(b)に示すように両面一括露光アライナーを用いて、取り違い顕微鏡13により上下の各マスクホルダー9'、9''に保持された上下マスク10'、10''の位置合わせを行い、ナンバリングテープ12によりウエーハに直接接触させることにより固定し、両面を同時に露光する。これを現像処理し、ベークした後、両面エッチングを施し、図3(c)に示すように両面に位置合わせのためのターゲット5'を作製する。そしてこのターゲットに合わせて図3(d)、(e)に示すように各々の面のパターン4''を形成している。

【0004】 しかしながら、このターゲット形成工程に

おいては、ウエーハ1の表面にレジスト3'を塗布しベークした後、これを搬送途中において裏返し、表面と同様に、裏面にレジスト3''を塗布しベークするため、ウエーハ1の搬送時にレジストにキズ、汚れ等のダメージが発生する。また、ウエーハ1の反りやマスクのベントを制御することができないため、より精密さの要求されるパターンの形成は、ターゲットの形成と同時に行うことができず、工程数の削減によるコストダウンを図ることが困難であった。

【0005】

【発明が解決しようとする課題】 この様に、従来のパワー半導体の両面パターンを形成する方法において、工程数を削減することができず、コストダウンを図ることが困難であった。

【0006】 従って本発明は、このような従来の欠点を取り除き、工程数を削減し、コストダウンを図ることが可能となるパワー半導体装置の製造方法及びパワー半導体装置の製造装置を提供することを目的とするものである。

【0007】

【課題を解決するための手段】 本発明のパワー半導体装置の製造方法は、半導体基板表面にレジストを塗布する工程と、前記半導体基板を所定位置に保持する工程と、前記半導体基板表面において第1のマスクの位置合わせを行なう工程と、第1のマスクと投影レンズとを介して、前記半導体基板表面を露光する工程と、この露光された半導体基板表面を現像して前記半導体基板表面にパターンとターゲットを形成する工程と、前記半導体基板裏面にレジストを塗布する工程と、この半導体基板を裏返した状態で所定位置に保持する工程と、前記ターゲットを用いて、前記半導体基板裏面において第2のマスクの位置合わせを行う工程と、この第2のマスクと投影レンズとを介して前記半導体基板裏面を露光する工程と、この露光された半導体基板裏面を現像して前記半導体基板裏面にパターンを形成する工程とを具備することを特徴とする。

【0008】 また本発明のパワー半導体装置の製造装置は、半導体基板の裏面側に配置された素子パターンを転写するためのマスクと、同じく前記半導体基板の裏面側に配置された投影レンズと、前記半導体基板の表面に形成されたターゲットをモニターするために前記半導体基板の表面側に配置されたモニター手段と、このモニター手段により前記半導体基板裏面のマスク合わせを行う手段と、前記マスクと前記投影レンズを介して前記半導体基板裏面を露光する手段とを具備することを特徴とする。

【0009】

【発明の実施の形態】 本発明の一実施形態について、図1、2を参照して説明する。

【0010】 図1(a)に示すように、先ずウエーハ1

表面を900℃のスチーム雰囲気中で処理し、酸化膜2、2'を形成する。次いで図1(b)に示すように表面の酸化膜2上にフォトリソスト3を塗布し、マスク合わせ後、紫外線により露光、現像を行い、図1(c)に示すようにパターン4を形成する。このとき、ターゲット5も同時に形成する。

【0011】次に、裏面の酸化膜2'上にフォトリソスト3'を塗布した後、図2の露光装置に示すように、ウエーハチャック6上にウエーハ1の裏面を上にして装着する。ウエーハチャック6の一部はガラスにより形成されており、ガラス部7の下部に設置されたCCD8を用いて、表面のターゲット5によりマスクホルダー9により保持されたマスク10の位置合わせを行う。そして1:1の投影レンズ11を介して図1(d)に示すように紫外線により露光し、現像することにより図1(e)に示すように裏面のパターン4'を形成する。このようにして、表面、裏面に所定のパターンニングを施し、パッケージすることにより、パワー半導体装置が形成される。

【0012】このような方法により、別途にターゲットを作製するためのレジスト塗布、露光、現像の3工程を削減することができ、コストダウンを図ることが可能となった。

【0013】また、1:1の投影レンズを介して露光する非接触のプロジェクション方式を用いているので、接触による欠陥の発生を抑えることができる。さらに、モニタリングにCCDを用いているので、自動化も可能である。

【0014】本実施形態においては、表面のターゲット及びパターンを作製する際の露光装置については特に規定していないが、裏面パターンと同じ装置を用いて作製してもよい。また、CCDの代わりにスコープを用いてマスク合わせを行ってもよい。

【0015】

【発明の効果】本発明によれば、半導体基板両面のパターンニングを行なう際の工程数を削減し、コストダウンを図ることが可能となるパワー半導体装置の製造方法及びパワー半導体装置の製造装置を提供することができる。

【図面の簡単な説明】

【図1】本発明の製造工程を示す図。

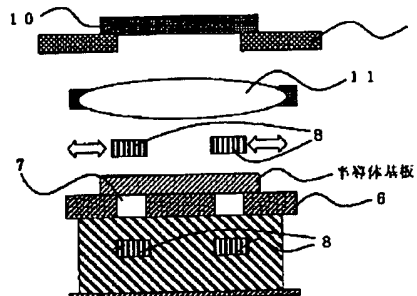
【図2】本発明の露光装置を示す図。

【図3】従来の製造工程を示す図。

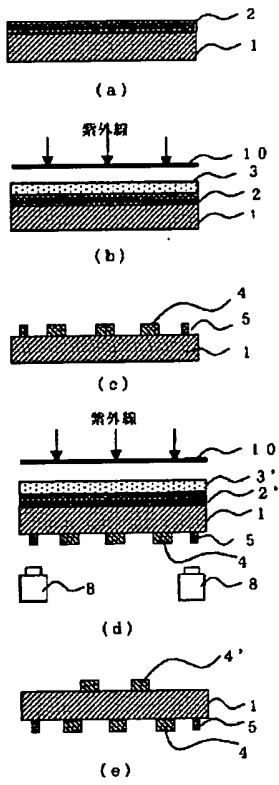
【符号の説明】

- 1 ウエーハ
- 2、2'、2'' 酸化膜
- 3、3'、3'' フォトリソスト
- 4、4'、4'' パターン
- 5、5' ターゲット
- 6 ウエーハチャック
- 7 ガラス部
- 8 CCD
- 9、9'、9'' マスクホルダー
- 10、10'、10'' マスク
- 11 投影レンズ
- 12 ナンバリングテープ
- 13 取り違い顕微鏡

【図2】



【図1】



【図3】

